

562838

Enocket No.: GR 98 P 2561 P

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231, on the date indicated below.

By: [Signature] Date: Feb 20, 2002

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

OK to Enter

Applicant : Gerald Deboy et al.  
Applic. No. : 09/804,325  
Filed : March 12, 2001  
Title : Switch Mode Power Supply With Reduced Switching Losses  
Examiner : Matthew V Nguyen - Art Unit: 2838  
Date of Notice of Allowance: November 20, 2001

**CLAIM FOR PRIORITY**

Hon. Commissioner of Patents and Trademarks,  
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 198 41 754.3, filed September 11, 1998.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

[Signature]  
For Applicants

RALPH E. LOCHER  
REG. NO. 41,947

Date: February 20, 2002

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

/bmb

RECEIVED  
MAR - 7 2002  
TC 2800 MAIL ROOM

OK to Enter

11.01



# BUNDESREPUBLIK DEUTSCHLAND

RECEIVED

MAR -7 2002

TO 2600 MAIL ROOM



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 198 41 754.3

**Anmeldetag:** 11. September 1998

**Anmelder/Inhaber:** Infineon Technologies AG,  
München/DE

**Erstanmelder:** Siemens Aktiengesellschaft,  
München/DE

**Bezeichnung:** Schalttransistor mit reduzierten Schaltverlusten

**IPC:** H 03 K, H 02 M

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 17. Januar 2002  
**Deutsches Patent- und Markenamt**  
Der Präsident  
Im Auftrag



# BUNDESREPUBLIK DEUTSCHLAND

RECEIVED

MAR -7 2002

TC 2800 MAIL ROOM



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 198 41 754.3

**Anmeldetag:** 11. September 1998

**Anmelder/Inhaber:** Infineon Technologies AG,  
München/DE

**Erstanmelder:** Siemens Aktiengesellschaft,  
München/DE

**Bezeichnung:** Schalttransistor mit reduzierten Schaltverlusten

**IPC:** H 03 K, H 02 M

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 17. Januar 2002  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

Nietiedt

## Beschreibung

## Schalttransistor mit reduzierten Schaltverlusten

- 5 Die vorliegende Erfindung betrifft einen Schalttransistor mit reduzierten Schaltverlusten insbesondere für den Einsatz in geschalteten Netzteilen.

10 Unter dem Begriff "geschaltetes Netzteil" sollen alle Arten von Durchflußwandlern, Sperrwandlern, Halb- und Vollbrückenwandlern sowie Hoch- und Tiefsetzstellern, wie sie beispielsweise in Netzteilen, Lampenvorschaltgeräten, Schweißumrichtern oder HF-Umrichtern eingesetzt werden, verstanden werden.

15 Bereits seit längerem besteht ein verstärkter Trend zur System-Miniaturisierung und zur Erhöhung der Leistungsdichte in Bauelementen. Es ist zu erwarten, daß sich diese Tendenz in der Leistungselektronik auch in der Zukunft fortsetzen wird. Mit diesem Trend verbunden ist eine Entwicklung hin zu immer  
20 höheren Schaltfrequenzen, da sich nur auf diese Weise auch passive Komponenten entsprechend miniaturisieren lassen. Daneben beginnen Leistungs-Schalttransistoren in Schaltnetzteilen speziell bei Industriegeneratoren in Frequenzbereiche vorzustoßen, die lange Zeit Elektronen-Röhren vorbehalten waren, so z.B. bis zu der sogenannten "ISM"-Frequenz von  
25 13,56 MHz.

Mit steigender Schaltfrequenz gewinnen die Schaltverluste in Schalttransistoren zunehmend an Bedeutung. Diese Schaltverluste  
30 lassen sich grob in drei Gruppen einteilen:

- (a) Verluste im Schalttransistor, die durch externe, meist parasitäre oder nicht-ideale Schaltungselemente verursacht werden und die sich auch mit "idealen" Schalttransistoren nicht vermeiden lassen;  
35

(b) Verluste im Schalttransistor aufgrund einer Überlappungsphase von Strom und Spannung beim eigentlichen Schaltvorgang; und

5

(c) Verluste im Schalttransistor durch das Entladen der schaltereigenen Kapazitäten beim Einschaltvorgang.

10

Die oben unter Punkt (a) genannten, durch den Schalttransistor selbst kaum beeinflussbaren Schaltverluste werden derzeit bei hohen Schaltfrequenzen durch die Verwendung spezieller Bauelemente, wie z.B. Schottky-Dioden, oder durch die Auswahl von Schaltungstopologien ohne kritische Kommutierungsvorgänge, wie z.B. Resonanz-Wandler, reduziert bzw. ganz vermieden. Zu dieser Art von Verlusten zählt beispielsweise auch die durch die Sperrverzugsladung verursachte Verlustleistung beim aktiven Abkommutieren des Stroms von pn-Dioden.

15

Die übrigen Schaltverluste gemäß obigen Punkten (b) und (c) sind über die Eigenschaften des Schalttransistors und seiner Ansteuerung maßgeblich beeinflussbar. So hängen beispielsweise die Strom/Spannungs-Überlappungsverluste entscheidend von der Dauer des Schaltvorgangs selbst ab.

20

Zur Erläuterung sind in Fig. 2a die Verläufe von Drain-Strom  $I_d$  und Drain-Source-Spannung  $U_{ds}$  eines MOSFET-Leistungsschalters 1 (vgl. Fig. 1) als Beispiel eines Schalttransistors beim Abschalten einer induktiven Last 2 dargestellt. Ein Schaltvorgang mit einer Schaltzeit  $T$  beginnt mit dem Abfall der Steuer-Gate-Spannung  $V_{gs}$ , wodurch der Widerstand des Leistungsschalters 1 ansteigt. Die induktive Last 2 erzwingt jedoch ein Weiterfließen des Stroms  $I_d$ , mit der Folge, daß mit dem Widerstand auch die Drain-Source-Spannung  $U_{ds}$  ansteigt, bis der volle Laststrom  $I_d$  von einem anderen Schaltungszweig, z.B. einer Freilaufdiode 3 übernommen werden kann. Dies be-

30

35

deutet, daß während der gesamten Phase, in der die Spannung  $U_{ds}$  am Leistungsschalter 1 ansteigt, noch der volle Laststrom  $I_d$  über den Leistungsschalter 1 fließt. Die Fläche 6 unter dem Produkt aus Schalter-Strom und Spannung (schraffiert dargestellt) entspricht der im Leistungsschalter 1 umgesetzten Schaltverlustenergie. Durch Verringerung der Schaltzeit  $T$  kann diese Fläche zwar verkleinert, in der Praxis aber nicht gegen Null gebracht werden.

10 Hohe Schaltgeschwindigkeiten erfordern aufgrund der hohen Gateladung derzeitiger Leistungsschalter, insbesondere MOS-FET's, sehr hohe Treiberströme, so daß einer Reduzierung der Schaltzeiten  $T$  häufig schon aus Kostengründen Grenzen gesetzt sind.

15

Zur Ausschalt-Entlastung wird deshalb ein Kondensator 4 mit einer externen Kapazität  $C_{ext}$  parallel zum Leistungsschalter 1 vorgesehen. Auch an die Nutzung der MOSFET-eigenen Ausgangskapazität zur Schaltentlastung wurde bereits gedacht (vgl. B.

20 Carsten: "FET selection and driving considerations for zero switching loss and low EMI in HF "Thyristor dual" power converters", Power Conversion 1996, Conference Proceedings 5/96, Seiten 91-102).

25 Durch den Kondensator 4 mit der Kapazität  $C_{ext}$  wird, wie aus Fig. 2(b) zu ersehen ist, der Anstieg der Spannung  $U_{ds}$  verlangsamt. Gleichzeitig entstehen zwei Strompfade mit einem Strom  $I_{ch}$  über den Kanal des den Leistungsschalter bildenden MOSFET's und einem Strom über den Kondensator 4. Da nun der  
30 Strom  $I_{ch}$  - ohne einen Anstieg der Drain-Source-Spannung  $U_{ds}$  zu verursachen - sehr schnell abgeschaltet werden kann (kein "Miller"-Effekt, vgl. Gate-Drain-Kapazität  $C_{gd}$  in Fig. 1), läßt sich die Überlappungsfläche von Strom  $I_{ch}$  und Drain-Source-Spannung  $U_{ds}$  und damit die Ausschalt-Verlustenergie  
35 (vgl. Fläche 6) nahezu beliebig reduzieren.

Allerdings ist eine solche Beschaltung nur für Schaltungen geeignet, bei denen das Einschalten des Leistungsschalters spannungslos erfolgt (zero-voltage switching, ZVS), da ansonsten nur eine Verlagerung der Verluste vom Ausschalt- auf den Einschaltvorgang erfolgt. Beim Einschalten unter Spannung wird nämlich die im externen Kondensator 4 sowie die in der Ausgangskapazität gespeicherte Energie im Leistungsschalter 1 in Verlustwärme umgesetzt (vgl. schraffierte Fläche 5 in Fig. 2b und 2c, die dem zeitlichen Integral des Produktes aus Spannung  $U_{ds}$  und Strom  $I_{oss} + c_{ext}$  entspricht, mit  $I_{oss}$  = Ausgangsstrom und  $C_{oss} = C_{gd} + C_{ds}$ ). Die weitaus meisten Standardschaltungen erfordern jedoch ein Einschalten unter Spannung. In diesem Fall kann bisher eine Ausschalt-Entlastung nur durch eine komplexe, im allgemeinen auch verlustbehaftete Beschaltung des Leistungsschalters bzw. Schalttransistors erreicht werden.

Für die Vermeidung obiger Schaltverluste ist bisher keine befriedigende Lösung gefunden worden.

Es ist daher Aufgabe der vorliegenden Erfindung einen Schalttransistor zu schaffen, der sich durch drastisch reduzierte Schaltverluste auszeichnet.

Diese Aufgabe wird bei einem Schalttransistor der eingangs genannten Art erfindungsgemäß dadurch gelöst, daß durch Schaffung einer großen inneren spannungsabhängigen Oberfläche des sperrenden pn-Überganges des Schalttransistors die Drain-Source-Kapazität  $C_{ds}$  bei Drain-Source-Spannungen unterhalb von 15 V mindestens 75 pF/mm<sup>2</sup> ( $U_{dsBr}/600$  V) und bei Drain-Source-Spannungen unterhalb von 5 V mindestens 150 pF/mm<sup>2</sup> ( $U_{dsBr}/600$  V) erreicht, und daß die Drain-Source-Kapazität  $C_{ds}$

bei maximal einem Sechstel der Durchbruchsspannung  $U_{dsBr}$  einen Wert von  $(10 \text{ pF/mm}^2) \cdot \sqrt{\frac{600V}{U_{dsBr}}}$  unterschreitet.

Bei dem erfindungsgemäßen Schalttransistor hat die Ausgangskapazität bei kleinen Drain-Source-Spannungen (z.B. unter 45 V bei Hochvolt-MOSFETs) sehr hohe Werte, wobei diese Kapazität mit steigender Drain-Source-Spannung auf so kleine Werte abfällt, daß die im Transistor gespeicherte Energie sehr niedrige Werte annimmt.

10

Vorteilhafte Weiterbildungen der Erfindung ergeben sich aus den nachfolgenden Beschreibungen von Ausführungsbeispielen anhand der Zeichnungen. Es zeigen:

15 Fig. 1 eine Grundfunktionseinheit eines geschalteten Netzteiles,

Fig. 2a bis 2c Strom- und Spannungsverläufe bei bestehenden Schaltnetzteilen (Fig. 2a und 2b) und bei dem  
20 erfindungsgemäßen Schaltnetzteil (Fig. 2c),

Fig. 3 einen Schnitt durch einen bei dem erfindungsgemäßen Schaltnetzteil verwendbaren MOSFET,

25 Fig. 4a bis 4c mögliche Layouts für den MOSFET von Fig. 3 und

Fig. 5 den Verlauf der Drain-Source-Kapazität  $C_{ds}$  in Abhängigkeit von der Drain-Source-Spannung  $U_{ds}$  bei einem Standard-MOSFET und dem erfindungsgemäßen Schalttransistor.  
30

Fig. 1 zeigt schematisch die Grundstruktur eines geschalteten Netzteiles (ohne Kondensator 4 und Freilaufdiode 3) mit einem

nach der Erfindung ausgebildeten Leistungsschalter 1 in der Form eines MOSFET's, zu dem beispielsweise eine induktive Last 2 in Reihe liegt.

- 5 Um Schaltverluste im Vergleich zum Stand der Technik zu reduzieren, hat der MOSFET des Leistungsschalters 1 speziell die folgenden Eigenschaften:

10 (a) geringe Gateladung für hohe Schaltgeschwindigkeit bei niedriger Treiberleistung;

(b) geringer Energieinhalt der Ausgangskapazität für geringe Einschaltverluste; und

15 (c) "verlustfreie" Verzögerung des Spannungsanstiegs nach dem Ausschalten.

Keiner der derzeit verfügbaren Leistungsschalter vermag die Eigenschaften (b) und (c) gleichzeitig zu erfüllen. Gerade dies gelingt aber mit der vorliegenden Erfindung, da bei dieser der Schalttransistor bzw. Leistungsschalter 1, wie in Fig. 2c dargestellt ist, einen extrem nichtlinearen Verlauf der Drain-Source-Kapazität  $C_{ds}$  hat. Durch sehr hohe Werte von  $C_{ds}$  bei kleinen Drain-Source-Spannungen  $U_{ds}$  wird die gewünschte Verzögerung des Spannungsanstiegs nach dem Abschalten des Kanals des MOSFET's erreicht. Der Laststrom wird damit zunächst vom Kanalstrom  $I_{ch}$  zum Ladestrom der Ausgangskapazität  $C_{oss}$ . Durch die Verzögerung des Spannungsanstiegs kann auch bei endlicher Treiberleistung und damit Abschaltgeschwindigkeit ein nahezu verlustfreies Ausschalten erreicht werden.

20  
25  
30

Beim erfindungsgemäßen Schalttransistor sinkt die Drain-Source-Kapazität  $C_{ds}$  mit steigender Drain-Source-Spannung  $U_{ds}$  sehr schnell auf sehr kleine Werte, so daß die in der Drain-Source-Kapazität  $C_{ds}$  gespeicherte Energie

35

$$E_{ds}(U_{\max}) = \int_0^{U_{\max}} C_{ds}(U) \cdot U \cdot dU \quad (\text{Gleichung 1})$$

bei der vorgesehenen Betriebsspannung kleiner als bei her-  
 5 kömmlichen MOSFETs bleibt. Auf diese Weise werden neben den  
 Ausschaltverlusten auch die Einschaltverluste beim Schalten  
 unter Spannung reduziert. Bei resonanten Schaltungen wird  
 durch die geringe Energie in der Drain-Source-Kapazität  $C_{ds}$   
 des Leistungsschalters beim erfindungsgemäßen Schalttransi-  
 10 stor die für den ZVS-Betrieb erforderliche Kommutierungsener-  
 gie vorteilhaft reduziert.

Ein verlustleistungsoptimierter Transistor weist gegenüber  
 heutigen MOSFET's besonders niedrige Produkte aus Einschalt-  
 15 widerstand  $R_{ds(on)}$  und Gate-Ladung  $Q_{gtot}$  sowie Einschaltwider-  
 stand und gespeicherter Energie  $E_{ds}$  auf und erreicht dadurch  
 außerordentlich geringe Schaltverluste. Vorzugsweise ist bei-  
 spielsweise bei 600 V - MOSFETs das Produkt  $R_{on} \cdot E_{ds}$  (400 V)  
 $\leq 1,6 \text{ V}^2\mu\text{s}$  und das Produkt  $R_{on} \cdot Q_{gtot}$  (10 V)/10 V  $\leq 2,5 \text{ ns}$ .

20 Die Klammerausdrücke (400 V) usw. geben die anliegenden Span-  
 nungen an.

Der extrem nichtlineare Kapazitätsverlauf des Leistungsschal-  
 ters 1 führt des weiteren zu einer oberwellenarmen, EMV-gün-  
 25 stigen, weichen Schaltflanke. Wie in Fig. 2c dargestellt,  
 wird die Schaltflanke vorteilhaft "verrundet" aber nicht  
 übermäßig verlängert, wie dies bei Verwendung eines diskreten  
 Kondensators (Kurve 7) oder eines herkömmlichen MOSFET's mit  
 hoher Ausgangskapazität (Kurve 8) der Fall wäre. Eine Verlän-  
 30 gerung der Schaltflanken schränkt im allgemeinen das minimale  
 Tastverhältnis ein und führt dadurch im System zu Problemen  
 im Schwachlastbetrieb.

Besonders vorteilhaft macht sich der angegebene nichtlineare Kapazitätsverlauf in Brückenschaltungen bemerkbar, da hier - durch die sehr hohen Kapazitätswerte bei kleinen Drain-Source-Spannungen - sowohl die untere als auch die obere

5 "Ecke" der Spannungsflanke verrundet wird.

Die Ausgangskapazität  $C_{oss}$  entspricht in erster Näherung der Parallelschaltung der Kapazitäten  $C_{ds}$  und  $C_{gd}$ . Dabei sollte  $C_{gd}$  so klein als möglich bleiben, um die Rückwirkung zu minimieren ("Miller"-Effekt).

10

Der gewünschte hohe Wert der Drain-Source-Kapazität  $C_{ds}$  läßt sich in einem Leistungsschalter durch die gezielte Vergrößerung der Oberfläche des sperrenden pn-Übergangs erreichen.

15 Technisch lassen sich solche Strukturen durch das Einfügen von z.B. p-leitenden Gebieten in die n-leitende Driftstrecke des Halbleiter-Leistungsschalters realisieren. Der sperrende pn-Übergang muß dabei eine innere zusammenhängende Oberfläche aufweisen, d.h. alle p-Gebiete müssen leitend miteinander

20 verbunden sein. Der Hauptanteil der Ausgangskapazität stammt in einer solchen Konfiguration aus der Drain-Source-Kapazität. Um die im Leistungsschalter gespeicherte Energie möglichst gering zu halten, muß die Ausgangskapazität nach Gleichung 1 bei großen Spannungen sehr kleine Werte annehmen.

20

25

Zwar erfolgt in MOSFETs eine Kapazitätsreduktion, die umgekehrt proportional zur Wurzel aus der Drain-Source-Spannung  $U_{ds}$  ist und die eindimensional betrachtete Zunahme der Weite der Raumladungszone widerspiegelt.

30

Für eine wesentlich raschere Verringerung der Drain-Source-Kapazität  $C_{ds}$  ist aber eine Reduktion der Oberfläche des sperrenden pn-Übergangs mit steigender Spannung erforderlich. Werden die in der Driftzone eingelagerten p-Gebiete von ihrer

35 Dotierung und ihren Abmessungen her so dimensioniert, daß ih-

re Ladung durch die entgegengesetzte Ladung des umgebenden Halbleitermaterials bei niedrigen Spannungen über elektrische Querfelder ausgeräumt werden, so wird eine rasche Verringerung der Oberfläche bei steigender Spannung erreicht. Die Dimensionierung muß dabei so erfolgen, daß das Linienintegral über die Dotierung der p-Gebiete senkrecht zu ihrer Oberfläche unterhalb der materialspezifischen Durchbruchsladung bleibt. Die Ausräumspannung ist dabei um so geringer, je kleiner die Abstände der Halbleitergebiete entgegengesetzten Leitungstyps sind.

Die obige Bedingung erfordert keine vollständige Kompensation des Grundmaterials, das Prinzip funktioniert vielmehr auch bei einer unvollständigen Kompensation; bei Überkompensation ist dagegen ein zusätzliches vertikales elektrisches Feld erforderlich, um die p-Gebiete auszuräumen. Damit verlagert sich der steile Abfall der Drain-Source-Kapazität zu höheren Spannungen.

Im Bereich niedersperrender Transistoren läßt sich das oben genannte Prinzip ebenfalls verwirklichen.

Fig. 3 zeigt nun einen erfindungsgemäßen MOSFET als Leistungsschalter in einem geschalteten Netzteil.

Auf einem n<sup>+</sup>-dotiertem Si-Halbleitersubstrat 9 befindet sich eine beispielsweise zwischen 4 und 50 µm dicke Si-Halbleiterschicht 10, in die eine p<sup>+</sup>-leitende Source- bzw. Drainzone 11 bzw. 12 eingebettet ist, welche jeweils eine Eindringtiefe von etwa 2 µm haben. Unterhalb der Source- und Drainzone 11 bzw. 12 ist ein p-leitendes Gebiet 13 bzw. 14 mit einer Eindringtiefe von 4 bis 40 µm ausgebildet, so daß es in einem Abstand von etwa 1 bis 10 µm von dem Halbleitersubstrat 9 endet. Oben gelten die höheren Werte für Hochvolt-Bauelemente,

10

während die niedrigeren Werte für Niedervolt-Bauelemente zutreffend sind.

5 Zwischen den Source- und Drainzonen 11 bzw. 12 ist noch eine Gateelektrode 15 vorgesehen.

Die angegebenen Leitungstypen können selbstverständlich auch jeweils umgekehrt sein. Auch ist es möglich, anstelle von Vertikal-Strukturen Lateral-Strukturen zu verwenden.

10

Die Fig. 4a bis 4c zeigen noch mögliche Strukturen für die p-leitenden Gebiete 13 und 14: diese sind fein strukturiert und bestehen beispielsweise aus schmalen Platten (Fig. 4a), die mäanderförmig zusammenhängen können, aus Säulen in quadratischer oder hexagonaler Anordnung (Fig. 4b) oder aus blattförmigen Ausführungen in quadratischer oder hexagonaler Anordnung (Fig. 4c), die über eine gemeinsame Elektrode miteinander verbunden sind.

15

20 Die Erfindung ermöglicht ein geschaltetes Netzteil mit reduziertem Schaltverlust unter Verwendung eines MOSFET-Leistungsschalters 1. Die Ausgangskapazität  $C_{ds}$  des MOSFET-Leistungsschalters 1 sinkt in Abhängigkeit von der Drain-Source-Spannung  $U_{ds}$  derart rasch auf kleine Werte ab, daß ein  
25 am MOSFET-Leistungsschalter 1 liegender Laststrom  $I_d$  vom Kanalstrom des MOSFET-Leistungsschalters 1 zum Ladestrom der Ausgangskapazität  $C_{oss}$  wird.

25

Fig. 5 veranschaulicht die erheblichen, mit der vorliegenden  
30 Erfindung zu erzielenden Vorteile am Beispiel eines Schalttransistors mit 600 V und einer aktiven Chipfläche von  $20 \text{ mm}^2$  ( $190 \text{ m}\Omega$ ): Bei kleinen Drain-Source-Spannungen  $U_{ds}$  unter etwa 40 V ist die Drain-Source-Kapazität erheblich größer (vgl. Kurve B) als beim Stand der Technik (vgl. Kurve A), während  
35 bei höheren Drain-Source-Spannungen die Drain-Source-Kapazi-

30

35

tät des erfindungsgemäßen Schalttransistors deutlich unter den entsprechenden Werten des bestehenden Transistors liegt.

## Patentansprüche

1. Schalttransistor mit reduzierten Schaltverlusten insbesondere für den Einsatz in geschalteten Netzteilen,  
5 d a d u r c h g e k e n n z e i c h n e t ,  
daß durch Schaffung einer großen inneren spannungsabhängigen Oberfläche des sperrenden pn-Überganges des Schalttransistors die Drain-Source-Kapazität  $C_{ds}$  bei Drain-Source-Spannungen unterhalb von 15 V mindestens  $75 \text{ pF/mm}^2$   
10  $\cdot (U_{dsBr}/600 \text{ V})$  und bei Drain-Source-Spannungen unterhalb von 5 V mindestens  $150 \text{ pF/mm}^2 \cdot (U_{dsBr}/600 \text{ V})$  erreicht, und daß die Drain-Source-Kapazität  $C_{ds}$  bei maximal einem Sechstel der Durchbruchsspannung  $U_{dsBr}$  einen Wert von  $(10 \text{ pF/mm}^2) \cdot \sqrt{\frac{600 \text{ V}}{U_{dsBr}}}$  unterschreitet.

15  
2. Schalttransistor nach Anspruch 1,  
d a d u r c h g e k e n n z e i c h n e t ,  
daß bei diesem das Produkt aus Einschaltwiderstand  $R_{on}$   
20 und Gate-Ladung  $Q_{gtot}$  sowie Einschaltwiderstand und gespeicherter Energie  $E_{ds}$  jeweils gegeben ist durch

25  
$$R_{on} \cdot Q_{gtot} (10 \text{ V}) / 10 \text{ V} \leq 2,5 \text{ ns und } R_{on} \cdot E_{ds} (400 \text{ V}) \leq 1,6 \text{ V}^2 \mu\text{s}.$$

3. Schalttransistor nach Anspruch 1 oder 2,  
g e k e n n z e i c h n e t durch  
eine bei steigender Spannung verringerte Fläche seines sperrenden pn-Überganges.  
30

4. Schalttransistor nach Anspruch 3,  
d a d u r c h g e k e n n z e i c h n e t ,  
daß in eine Driftzone des einen Leitungstyps Gebiete des  
5 anderen Leitungstyps eingelagert sind.
5. Schalttransistor nach Anspruch 4,  
d a d u r c h g e k e n n z e i c h n e t ,  
daß das Linienintegral über der Dotierung der Gebiete des  
10 anderen Leitungstyps senkrecht zur Oberfläche des Schalt-  
transistors (1) unterhalb der materialspezifischen Durch-  
bruchsladung bleibt.
6. Schalttransistor nach Anspruch 4 oder 5,  
15 d a d u r c h g e k e n n z e i c h n e t ,  
daß die Gebiete des anderen Leitungstyps in Vertikal-  
oder Lateral-Struktur vorgesehen sind.
7. Geschaltetes Netzteil, bestehend aus mindestens einem  
20 Schalttransistor, einer induktiven Last und einer Ansteu-  
ereinrichtung,  
d a d u r c h g e k e n n z e i c h n e t ,  
daß der Schalttransistor nach einem der Ansprüche 1 bis 6  
ausgebildet ist.

Zusammenfassung

Schalttransistor mit reduzierten Schaltverlusten

- 5 Die Erfindung betrifft einen Schalttransistor mit reduzierten Schaltverlusten. Bei diesem Schalttransistor hat die Ausgangskapazität bei kleinen Drain-Source-Spannungen sehr hohe Werte, wobei diese Kapazität mit steigender Drain-Source-Spannung auf so kleine Werte abfällt, daß die im Transistor  
10 gespeicherte Energie sehr niedrige Werte annimmt.

(Fig. 5)

## Bezugszeichenliste

1	Leistungsschalter
2	induktive Last
3	Freilaufdiode
4	Kondensator
5	schrattierte Fläche für Einschaltverlust
6	Ausschaltverlust
7	Kurve für festen Kondensator
8	Kurve für bestehenden MOSFET
9	Halbleitersubstrat
10	Halbleiterschicht
11	Sourcezone
12	Drainzone
13	p-leitendes Gebiet
14	p-leitendes Gebiet
15	Gateelektrode
$I_d$	Drainstrom, Laststrom
$U_{ds}$	Drain-Source-Spannung
$T$	Schaltzeit
$V_{gs}$	Gate-Source-Spannung
$C_{ext}$	extreme Kapazität
$I_{ch}$	Kanalstrom
$I_{cds} + c_{ext}$	Strom über Kapazitäten von Leistungsschalter 1 und Kondensator 4
$C_{ds}$	Drain-Source-Kapazität
$C_{oss}$	Ausgangskapazität
$C_{gd}$	Gate-Drain-Kapazität
$I_{oss}$	Ausgangsstrom
$U_{dsBr}$	Drain-Source-Durchbruchsspannung
$Q_{gtot}$	Gateladung
$E_{ds}$	gespeicherte Energie

Fig. 1

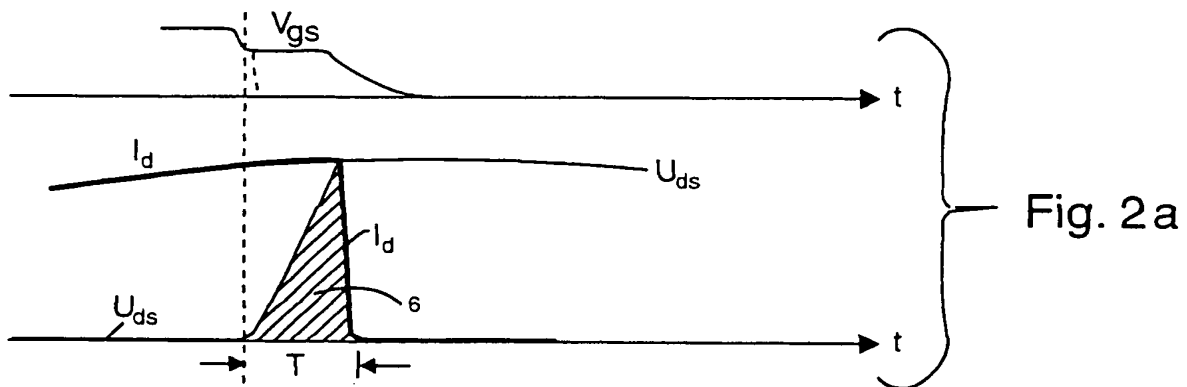
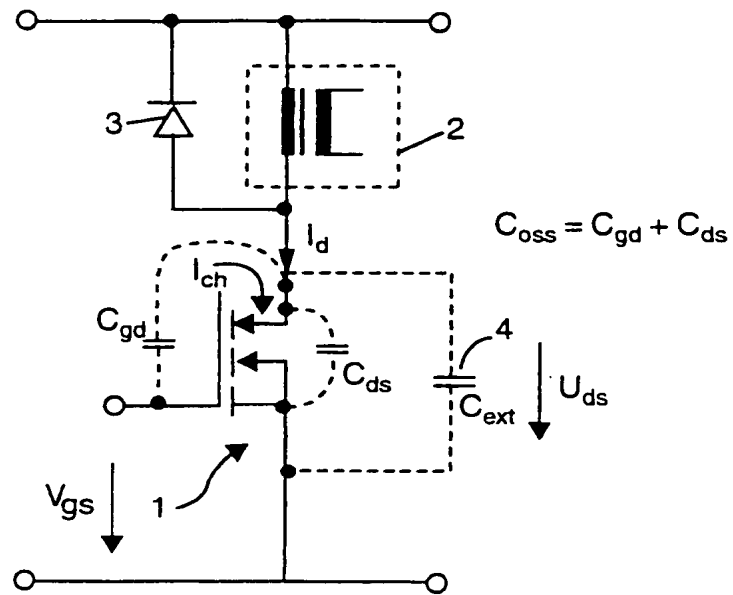


Fig. 2a

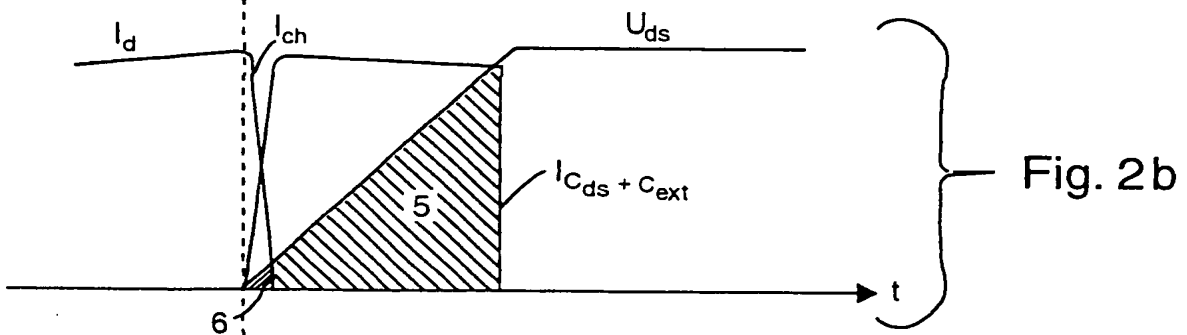


Fig. 2b

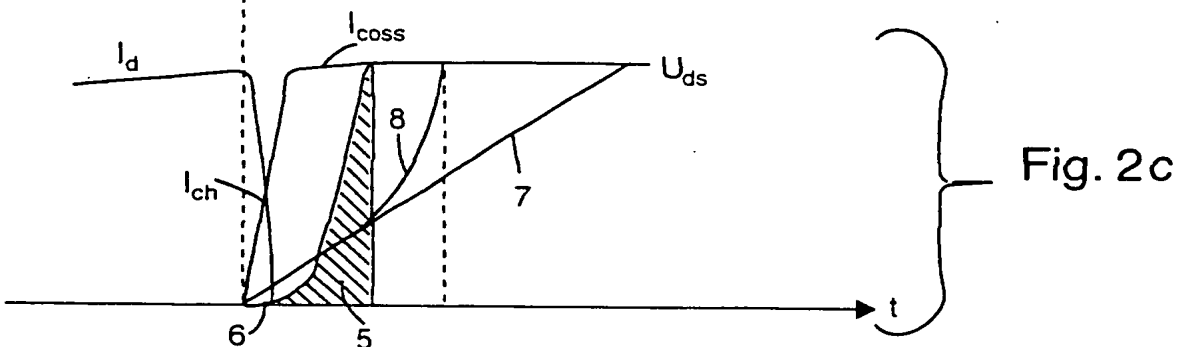


Fig. 2c

Fig. 3

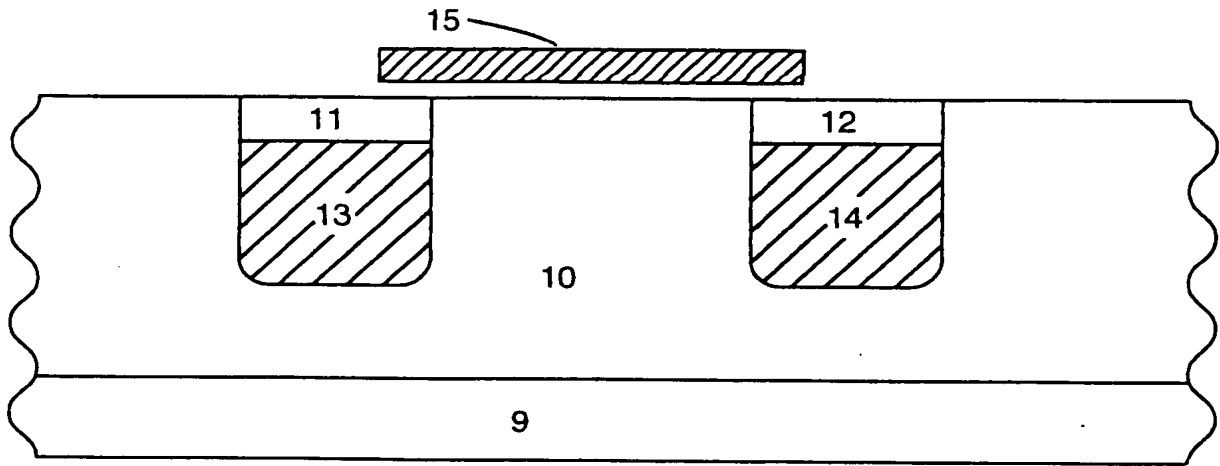


Fig. 4a

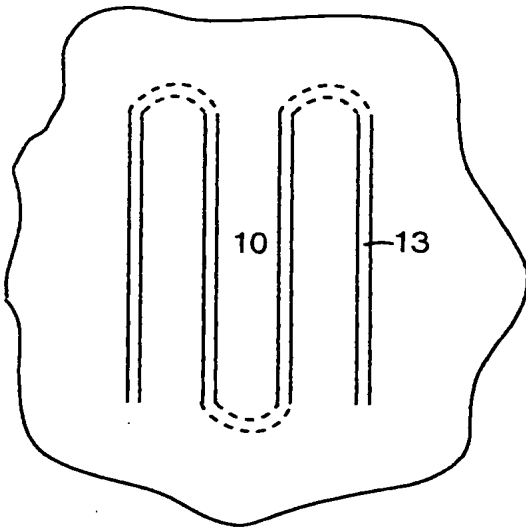


Fig. 4b

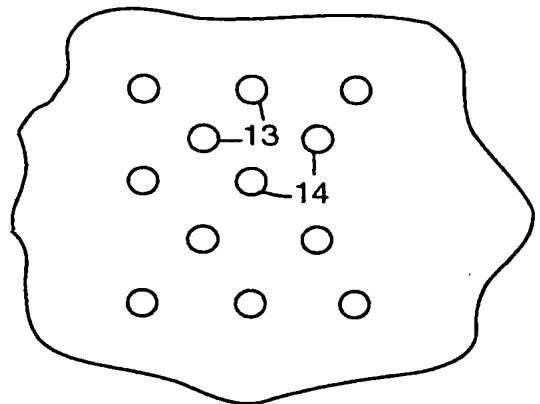


Fig. 4c

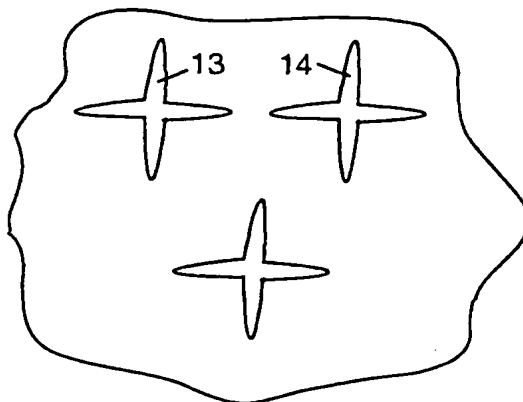
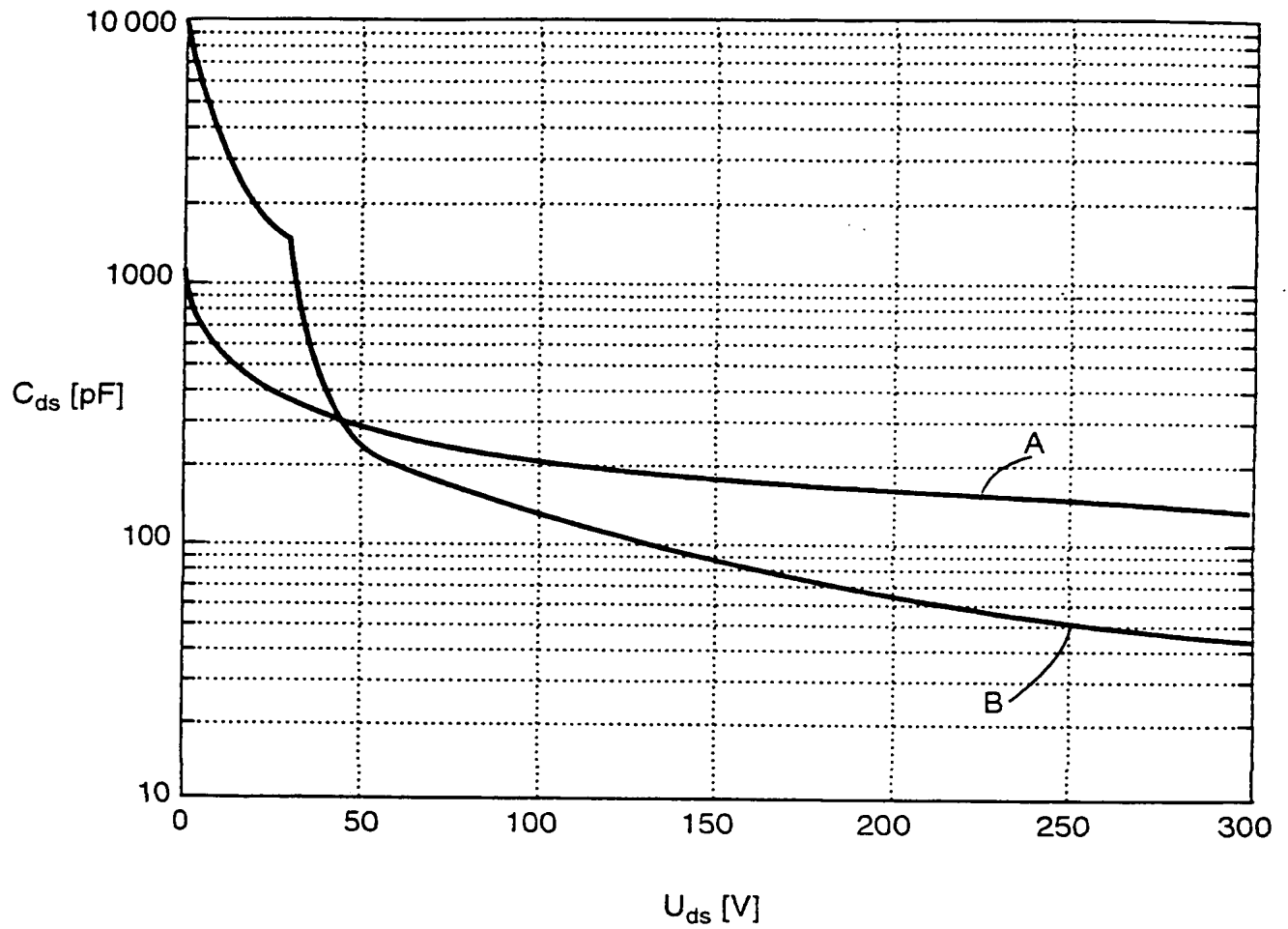


Fig.5



A: Standard-MOSFET

B: Erfindungsgemäßer MOSFET

LOCKET NO: 01/10001

SERIAL NO: 01/10001

DATE: 01/10001

TIME: 01/10001

PAGE: 01/10001

TOTAL: 01/10001